

KOREAN PATENT ABSTRACT (KR)

Patent Laid-Open Gazette

(51) IPC Code: H01L 21/335

(11) Publication No.: P10-1998-040751

(43) Publication Date: 17 August 1998

(21) Application No.: 10-1996-059978

(22) Application Date: 29 November 1996

(71) Applicant(s):

Hyundai Electronic Industrial Co., Ltd.

San 136-1, Ami-ri, Bubal-eub, Ichon-si, Kyoungki-do, Korea,

(72) Inventor(s):

HWANG, JUN

(54) Title of the Invention:

Method of Manufacturing FET of Semiconductor Device

Abstract:

The present invention provides a method of manufacturing an FET of a semiconductor device. The method includes sequentially forming a gate insulating layer, a conductive layer for a gate electrode, and a protective layer on a top surface of a substrate, forming a gate electrode pattern by etching using a mask for the gate electrode, forming an insulating spacer on sidewalls of the gate electrode pattern, forming a trench by etching the semiconductor substrate having a predetermined thickness using the spacer as etching barriers to expose a lower portion of the spacer, injecting first conductive impurities to the trenched semiconductor substrate by pocket ion implantation to form a pocket ion implantation region, and forming a selective epitaxial layer doped with second impurities having different polarity from the first conductive impurities on the trenched semiconductor substrate. According to the present method, a short channel effect can be efficiently prevented and a shallow source/drain junction having a high concentration of impurities can be formed.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/336	(11) 공개번호 (43) 공개일자	특.1998-040751 1998년 10월 17일
(21) 출원번호	특.1996-059978	
(22) 출원일자	1996년 11월 29일	
(71) 출원인	현대전자산업 주식회사 김영환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 황준	
(74) 대리인	충청북도 진천군 만승면 광혜원리 원림아파트 가동 309호 박해천, 원석희	

심사청구 : 있음

(54) 반도체 장치의 전계효과트랜지스터 제조방법

요약

1. 청구범위에 기재된 발명이 속한 기술분야

반도체 장치 제조방법.

2. 발명이 해결하려고 하는 기술적 과제

단채널 효과(Short Channel Effect)를 효과적으로 제거함과 동시에 얇으면서도 높은 농도의 불순물을 갖는 소오스/드레인 접합을 형성할 수 있는 반도체 장치의 전계효과트랜지스터 제조방법을 제공하고자 함.

3. 발명의 해결방법의 요지

반도체 기판 상부에 게이트 절연막, 게이트 전극용 전도막 및 보호막을 차례로 형성한 후 게이트 전극용 마스크를 사용한 식각공정에 의해 게이트 전극 패턴을 형성하는 단계; 상기 게이트 전극 패턴 측벽에 절연막 스페이서를 형성하는 단계; 상기 절연막 스페이서를 식각장벽으로 소정두께의 상기 반도체 기판을 식각하여 트렌치를 형성하고, 상기 절연막 스페이서 하부까지 식각하는 단계; 상기 트렌치된 반도체 기판에 제1 도전형의 불순물을 포켓 이온주입하여 포켓 이온주입 영역을 형성하는 단계; 및 상기 트렌치된 반도체 기판상에 상기 제1 도전형의 불순물과 극성이 다른 제2 도전형의 불순물이 도핑된 선택적 에피택셜층을 형성하는 단계를 포함해서 이루어진 반도체 장치의 전계효과트랜지스터 제조방법을 제공하고자 함.

4. 발명의 중요한 용도

반도체 소자 제조 공정 중 전계효과트랜지스터 제조 공정에 이용됨.

도표도

도면

명세서

도면의 간단한 설명

도1은 종래기술에 따른 반도체 장치의 전계효과트랜지스터 제조 공정 단면도,

도2A 내지 도2D는 본 발명의 일실시예에 따른 반도체 장치의 전계효과트랜지스터 제조 공정 단면도.

* 도면의 주요부분에 대한 부호의 설명

10 : 반도체 기판	20 : 필드 산화막
30 : 게이트 산화막	40 : 게이트 전극
50 : LPCVD 산화막	60 : 산화막 스페이서
70 : 포켓 이온주입 영역	80 : 비정질실리콘막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 전계효과트랜지스터 제조방법에 관한 것으로, 특히 0.25 μ m 이하의 채널 길이를

갖는 고집적 소자에서의 단채널 효과(Short Channel Effect)를 효과적으로 제거할 수 있는 전계효과트랜지스터 제조방법에 관한 것이다.

일반적으로, 반도체 소자가 점차 고집적화되어감에 따라 단채널 효과를 억제함과 동시에 매우 얇으면서 매우 높은 농도의 불순물을 갖는 소오스/드레인 접합의 형성이 요구되고 있다.

도1은 종래기술에 따른 반도체 장치의 전계효과트랜지스터 제조 공정 단면도로, 이는 P형 전계효과트랜지스터 제조 공정을 도시한 것이다.

먼저, 반도체 기판(1)상에 N-웰(도시하지 않음), 게이트 산화막(2) 및 게이트 전극(3) 패턴을 형성한 후, LDD(Lightly Doped Drain) 방식에 의해 저농도 미온 주입(P^+)을 실시하여 저농도 미온주입 영역(5)을 형성한다.

이어서, 전체구조 상부에 산화막을 형성하고, 비등방성 전면식각에 의해 상기 게이트 전극(3) 측벽에 산화막 스페이서(4)를 형성한 후, 고농도 미온 주입(P^+)을 실시하여 소오스/드레인 영역(6)을 형성한 다음, 열처리(Anneal)하였다.

그러나, 상기와 같은 저농도 미온주입 공정 및 고농도 미온주입 공정 등의 미온주입 공정에 의해 형성된 소오스/드레인 미온주입 영역의 깊이(Depth)는 $0.1\mu\text{m}$ 내지 $0.3\mu\text{m}$ 정도로 매우 깊으므로 고집적 소자에서 요구되는 얇으면서도 매우 높은 불순물 농도를 갖는 소오스/드레인 영역 형성이 어려워 단채널 효과에 매우 취약하며 특히, P형 전계효과트랜지스터의 경우 보론의 불순물 미온주입의 프로파일(Profile)이 심하여 높은 확산성(Diffusibility)이 문제가 되며 N형 전계효과트랜지스터에 비해 취약하다.

이를 극복하기 위해서 낮은 에너지(Low Energy)로 미온주입 하는 방법이나 카운터(Counter) 도핑방법 등을 이용하고 있으나, 전체적인 공정이 매우 복잡해지고 저항이 증가하여 접합 캐패시턴스(Junction Capacitance)가 증가하는 문제점이 있었다.

발명이 이루고자하는 기술적 과제

상기와 같은 문제점을 해결하기 위하여 안출된 본 발명은 단채널 효과(Short Channel Effect)를 효과적으로 제거함과 동시에 얇으면서도 높은 농도의 불순물을 갖는 소오스/드레인 접합을 형성할 수 있는 반도체 장치의 전계효과트랜지스터 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 반도체 기판 상부에 게이트 절연막, 게이트 전극용 전도막 및 보호막을 차례로 형성한 후 게이트 전극용 마스크를 사용한 식각공정에 의해 게이트 전극 패턴을 형성하는 단계; 상기 게이트 전극 패턴 측벽에 절연막 스페이서를 형성하는 단계; 상기 절연막 스페이서를 식각장벽으로 소정두께의 상기 반도체 기판을 식각하여 트렌치를 형성하되, 상기 절연막 스페이서 하부까지 식각하는 단계; 상기 트렌치된 반도체 기판에 제1 도전형의 불순물을 포켓 미온주입하여 포켓 미온주입 영역을 형성하는 단계; 및 상기 트렌치된 반도체 기판상에 상기 제1 도전형의 불순물과 극성이 다른 제2 도전형의 불순물이 도핑된 선택적 에피택셜층을 형성하는 단계를 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

도2A 내지 도2D는 본 발명의 일실시예에 따른 반도체 장치의 전계효과트랜지스터 제조 공정 단면도로, P형 전계효과트랜지스터 제조 공정을 도시한 것이다.

먼저, 도2A는 N-웰(도시하지 않음)이 기형성된 반도체 기판(10)상에 필드 산화막(20), 게이트 산화막(30), 게이트 전극용 폴리실리콘막 및 이후의 미온주입 공정시 게이트 전극용 폴리실리콘막에 미온주입되는 것을 방지하기 위한 보호막으로 약 500\AA 내지 1000\AA 정도 두께의 LPCVD(Low Pressure Chemical Vapor Deposition : 이하 LPCVD라 칭함) 산화막(50)을 차례대로 형성하고, 게이트 전극 마스크를 사용하여 상기 LPCVD 산화막(50), 게이트 전극용 폴리실리콘막 및 게이트 산화막(30)을 차례로 식각하여 게이트 전극 패턴(40)을 형성한 것을 도시한 것이다.

이어서, 도2B는 전체구조 상부에 산화막을 증착한 후, 마스크없이 전면 식각하여 게이트 산화막(30), 게이트 전극 패턴(40) 및 LPCVD 산화막(50) 측벽에 산화막 스페이서(60)를 형성한 다음, 등방성 건식 식각 방식에 의해 약 $0.1\mu\text{m}$ 내지 $0.3\mu\text{m}$ 정도 두께의 상기 반도체 기판(10)을 식각하여 트렌치를 형성하되, 상기 산화막 스페이서(60) 하부까지 제거되도록 식각한 것을 도시한 것이다.

계속해서, 도2C는 상기 트렌치된 반도체 기판(10)에 대해 약 50KeV 내지 100KeV 정도의 에너지로 $1 \times 10^{12} \text{ cm}^{-2}$ 내지 $2 \times 10^{12} \text{ cm}^{-2}$ 정도의 아세닉(As)이온을 포켓 미온주입하여 포켓 미온주입 영역(70)을 형성한 것을 도시한 것이다.

마지막으로, 도2D는 전체구조 상부에 선택적 에피택셜 실리콘 성장(Selective Epitaxial Silicon Growth) 방식에 의해 비정질실리콘막(80)을 형성함과 동시에 인-시츄(In-Situ) 방식에 의해 상기 비정질실리콘막(80)에 P형 불순물(P^+)을 도핑시킨 다음, 급속 열처리(Rapid Thermal Anneal)한 것을 도시한 것이다.

상기와 같은 일련의 공정은 N형 전계효과트랜지스터에 적용할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은 0.25 μ m 이하의 채널 길이를 갖는 전계효과트랜지스터에 있어서 매우 얇으면서도 높은 농도의 불순물을 갖는 소오스/드레인 접합을 형성함으로써, 효과적으로 단채널 효과(Short Channel Effect)를 억제할 수 있다.

(5) 청구의 범위

청구항 1. 반도체 기판 상부에 게이트 절연막, 게이트 전극용 전도막 및 보호막을 차례로 형성한 후 게이트 전극용 마스크를 사용한 식각공정에 의해 게이트 전극 패턴을 형성하는 단계;

상기 게이트 전극 패턴 측벽에 절연막 스페이서를 형성하는 단계;

상기 절연막 스페이서를 식각장벽으로 소정두께의 상기 반도체 기판을 식각하여 트렌치를 형성하되, 상기 절연막 스페이서 하부까지 식각하는 단계;

상기 트렌치된 반도체 기판에 제1 도전형의 불순물을 포켓 이온주입하여 포켓 이온주입 영역을 형성하는 단계; 및

상기 트렌치된 반도체 기판상에 상기 제1 도전형의 불순물과 극성이 다른 제2 도전형의 불순물이 도핑된 선택적 에피택셜층을 형성하는 단계를 포함해서 이루어진 반도체 장치의 전계효과트랜지스터 제조방법.

청구항 2. 제1항에 있어서,

상기 트렌치는 약 0.1 μ m 내지 0.3 μ m 정도 깊이로 형성하는 것을 특징으로 하는 반도체 장치의 전계효과트랜지스터 제조방법.

청구항 3. 제2항에 있어서,

상기 트렌치는 등방성 건식 식각에 의해 형성하는 것을 특징으로 하는 반도체 장치의 전계효과트랜지스터 제조방법.

청구항 4. 제1항에 있어서,

상기 포켓 이온주입 영역은 약 50KeV 내지 100KeV 정도의 에너지로 $1 \times 10^{13} \text{ cm}^{-2}$ 내지 $2 \times 10^{13} \text{ cm}^{-2}$ 정도의 N 형 불순물인 아세닉(As) 이온을 이온주입하여 형성하는 것을 특징으로 하는 반도체 장치의 전계효과트랜지스터 제조방법.

청구항 5. 제1항에 있어서,

상기 선택적 에피택셜층은 비정질실리콘막인 것을 특징으로 하는 반도체 장치의 전계효과트랜지스터 제조방법.

청구항 6. 제5항에 있어서,

상기 비정질실리콘막은 증착하면서 인-시츄 방식에 의해 고농도 P 형 불순물을 첨가하여 형성하는 것을 특징으로 하는 반도체 장치의 전계효과트랜지스터 제조방법.

청구항 7. 제1항에 있어서,

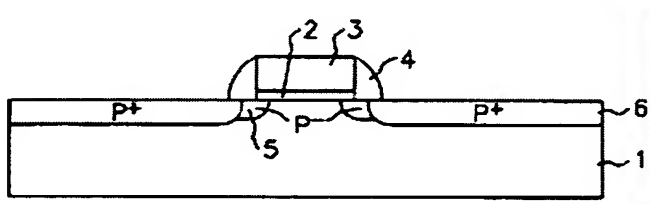
상기 보호막은 LPCVD 방식에 의해 형성된 산화막인 것을 특징으로 하는 반도체 장치의 전계효과트랜지스터 제조방법.

청구항 8. 제7항에 있어서,

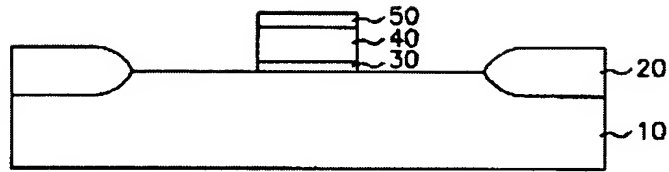
상기 LPCVD 산화막은 약 500Å 내지 1000Å 정도의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 전계효과트랜지스터 제조방법.

도면

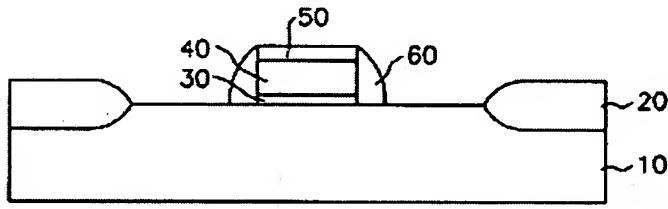
도면1



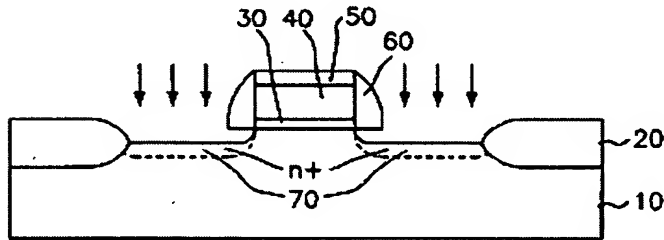
도 2a



도 2b



도 2c



도 2d

